



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0009140  
Application Number

출원 년 월 일 : 2003년 02월 13일  
Date of Application FEB 13, 2003

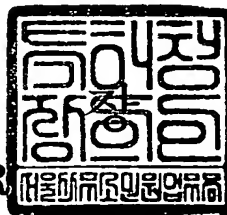
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.02.13
【국제특허분류】	H01L
【발명의 명칭】	다층의 하드 마스크를 이용하여 배선 및 연결 콘택 구조를 형성하는 방법
【발명의 영문명칭】	Method for forming wire line and interconnecting contacts by using multi-layered hard mask
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	윤철주
【성명의 영문표기】	YUN,Cheol Ju
【주민등록번호】	691026-1573211
【우편번호】	463-020
【주소】	경기도 성남시 분당구 수내동 29번지 양지마을 한양@ 603-903
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 17 면 17,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 20 항 749,000 원

【합계】 795,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

다층의 하드 마스크(multi-layered hard mask)를 이용하여 배선 및 연결 콘택(interconnection contact) 구조를 형성하는 방법을 제공한다. 본 발명의 일 관점에 의한 방법은, 소자의 동작을 위한 비트 라인(bit line)과 같은 배선층을 형성하고, 비트 라인층 상에 상호 간에 식각 선택비를 가지도록 서로 다른 절연 물질들로 각각 이루어지는 적어도 3층 이상의 다층의 하드 마스크를 형성한다. 하드 마스크를 이용하여 비트 라인층을 패터닝하여 비트 라인을 형성하고, 비트 라인들 간을 채우는 절연층을 형성한다. 하드 마스크의 최하위층이 다른 하드 마스크층들에 의해서 침해되지 않은 상태에서 비트 라인들에 정렬되며 절연층을 상하로 관통하는 커패시터 콘택(capacitor contact)과 같은 연결 콘택들을 형성한다.

**【대표도】**

도 14

## 【명세서】

## 【발명의 명칭】

다층의 하드 마스크를 이용하여 배선 및 연결 콘택 구조를 형성하는 방법{Method for forming wire line and interconnecting contacts by using multi-layered hard mask}

## 【도면의 간단한 설명】

도 1 내지 도 4는 종래의 배선 형성 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

도 5 내지 도 22는 본 발명의 실시예에 의한 다층의 하드 마스크를 이용하여 배선 및 연결 콘택 구조를 형성하는 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<3> 본 발명은 반도체 소자에 관한 것으로, 특히, 비트 라인(bit line)과 비트 라인들 사이를 지나 커패시터(capacitor)를 아래의 반도체 기판 상으로 전기적으로 연결시키는 커패시터 콘택(capacitor contact)과 같은 배선 및 연결 콘택 구조를 다층의 하드 마스크(multi-layered hard mask)를 이용하여 형성하는 방법에 관한 것이다.

<4> 반도체 소자, 예컨대, 디램(DRAM) 소자는 성능의 향상과 함께 디자인 룰(design rule)의 급격한 감소가 이루어지고 있다. 현재, 반도체 소자의 디자인 룰은 대략  $0.14\mu\text{m}$  이하로, 심지어  $0.092\mu\text{m}$  이하로 급격히 감소되고 있는 추세이다. 이에 따라, 반도체 소자를 제조하는 과정에

서 이러한 디자인 룰의 급격한 감소에 대응하기 위한 다양한 방법 및 이러한 디자인 룰의 급격한 감소에 따른 문제점을 해결하기 위한 해결 방안들이 제시되고 있다.

- <5> 현재, 반도체 소자들에서는 배선들, 예컨대, 워드 라인(word line)과 비트 라인(bit line)은 주로 텅스텐 실리사이드( $WSi_x$ )를 사용하여 제조되고 있다. 그러나, 디자인 룰의 감소에 따라 소자의 높은 속도(high speed) 및 성능(performance) 향상을 위하여, 워드 라인(또는 게이트(gate)) 또는/및 비트 라인에 상대적으로 저항이 낮은 텅스텐(W)을 이용하는 시도가 이루어지고 있다.
- <6> 도 1 내지 도 4는 종래의 배선 형성 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.
- <7> 도 1 내지 도 4를 참조하면, 텅스텐을 이용한 비트 라인 형성 과정은, 먼저, 장벽층(barrier layer:21)을 형성한 후 비트 라인층(23)을 형성한다. 이때, 장벽층(21)은 하부에 제1절연층(11) 및 제2절연층(15) 등과 같은 층들이 도시되지는 않았으나 반도체 기판 상에 형성된 이후에 제2절연층(15) 상에 형성된다. 반도체 기판 상에는 트랜지스터 등과 같은 능동 소자가 형성될 수 있으며, 이러한 트랜지스터 등과 비트 라인을 전기적으로 연결시키기 위해서 제2절연층(15)에는 제2절연층(15)을 관통하는 중간 연결 콘택, 예컨대, 다이렉트 콘택(DC:direct contact:도시되지 않음) 등이 형성될 수 있다.
- <8> 이러한 다이렉트 콘택과 트랜지스터를 전기적으로 연결시키기 위해서 제1절연층(11)을 관통하는 연결 제1콘택 패드가 반도체 기판과 다이렉트 콘택 사이를 연결하도록 형성될 수 있다. 또한, 이러한 제1콘택 패드와 동일한 층 수준으로 커패시터와 반도체 기판, 실질적으로는 트랜지스터를 전기적으로 연결하기 위해서 도 1에 제시된 바와 같이 제2콘택 패드(17)가 형성될 수 있다. 제2콘택 패드(17)에는 커패시터 콘택, 예컨대, 베리드 콘택(BC:Buried Contact:도

시되지 않음)이 비트 라인 사이를 지나 제2절연층(15)을 관통하여 전기적으로 연결되게 된다. 현재, DRAM 소자에서 일반적으로 채용되고 있는 COB(Capacitor Over Bit line) 구조에서는 이러한 커패시터 콘택이 비트 라인들 사이를 지나 제2콘택 패드(17)에 전기적으로 연결됨으로써 커패시터와 반도체 기판 사이를 전기적으로 연결하게 된다.

- <9> 다시 도 1을 참조하면, 장벽층(21) 및 비트 라인층(23)을 형성한 후, 비트 라인층(23) 상에 패터닝 시 식각 마스크(etch mask)로 이용될 하드 마스크(hard mask)를 형성하기 위한 마스크 실리콘 질화물층(Si<sub>3</sub>N<sub>4</sub> layer:30)을 형성한다. 이때, 마스크 실리콘 질화물층(30)은 도 4에서 나타낸 바와 같이 BC(도시되지 않음)를 위한 콘택홀(contact hole:18)을 형성할 때, 비트 라인(23)과 BC 간의 절연 간격(39)을 충분히 넓게 확보하기 위해서 상당히 두꺼운 두께로 형성된다. 예를 들어, 마스크 실리콘 질화물층(30)은 대략 2000Å 정도의 두꺼운 두께로 형성될 수 있다. 한편, 이러한 절연 간격(39)은 어깨부(shoulder)라고도 칭해진다.
- <10> 다시 도 1을 참조하면, 이와 같이 비트 라인을 형성을 위한 층들의 적층이 완료된 후에, 포토레지스트 패턴(photoresist pattern:40)을 마스크 실리콘 질화물층(30) 상에 형성한다.
- <11> 도 2를 참조하면, 포토레지스트 패턴(40)을 식각 마스크로 하여 한꺼번에 도 2에서와 같이 비트 라인(23)을 패터닝하거나, 또는, 포토레지스트 패턴(40)을 마스크로 실리콘 질화물층(30)만 우선 패터닝을 한 다음에, 포토레지스트 패턴(40)을 제거하고 패터닝된 실리콘 질화물층, 즉, 하드 마스크(35)를 마스크로 하여 비트 라인(23)을 최종적으로 형성한다.
- <12> 도 3 및 도 4를 참조하면, 비트 라인(23)을 형성한 후, 측면 보호를 위하여 실리콘 질화물층을 수백Å 덮고 건식 식각을 이용하여 에치 백(etchback) 공정을 진행하여, 실리콘 질화물 스페이서(37)를 형성한다. 이후에, 제3절연층(19)을 층간 절연층(ILD:InterLayered Dielectric)으로 형성하고, 커패시터(도시되지 않음)의 스토리지 전극(storage node)을 하부의

반도체 기판의 활성 영역(active region) 또는 활성 영역과 연결된 제2콘택 패드(17)와 연결하기 위한 BC 콘택홀(도 4의 18)을 형성하게 된다. 이때, BC 콘택홀(18)의 오프닝 불량(not open)이 발생하지 않도록 다소 과도하게 건식 식각을 하게 되며, 그럴 경우에 도 4의 39에서 묘사된 바와 같이 BC 콘택홀(18)과 비트 라인(23) 간의 어깨부(39)가 취약해지게 될 수 있다.

<13> 어깨부(39)가 취약해질 경우에는 커패시터 콘택, 즉, BC와 비트 라인(23) 사이의 절연 상태가 불량해져서, 절연 파괴 전압치(breakdown voltage value)가 작아져서 결과적으로 단선 비트 불량(single bit fail)을 유발하게 된다. 이와 같은 문제는 텅스텐을 배선으로 사용하는 게이트에서도 동일하게 나타날 수 있다.

<14> 그리고, 이와 같은 비트 라인과 BC 간의 어깨부 문제(B/L to BC shoulder issue)로 인하여 도 3에 제시된 바와 같이 스페이서(37)로 사용되는 물질은 실리콘 산화물이 사용되지 못하고, 이보다 상대적으로 유전율이 큰 실리콘 질화물이 사용되게 된다. 또한, 스페이서(37)는 매우 두꺼운 두께로 유지되어야 한다. 이에 따라, 기생 커패시턴스(parasitic capacitance)가 상대적으로 증가하여 센싱(sensing) 측면에서 불리하게 될 수 있다. 따라서, 배선의 이와 같은 어깨부 마진(shoulder margin)을 늘릴 수 있고, 또한, 상대적으로 배선들, 예컨대, 비트 라인들 간의 커패시턴스(bit line coupling capacitance)를 낮출 수 있는 반도체 소자 제조 방법의 개발이 요구되고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<15> 본 발명이 이루고자 하는 기술적 과제는, 비트 라인과 같은 배선을 패터닝한 후 커패시터 콘택과 같은 연결 콘택을 비트 라인들 사이를 지나 하부의 반도체 기판으로 전기적으로 연결되도록 형성할 때, 연결 콘택과 비트 라인 간의 절연 마진을 충분히 확보할 수 있어 배선과 연결 콘택 간에 충분한 절연 특성을 제고할 수 있고, 비트 라인들 사이에 절연을 위해서 도입



되는 절연 물질층들, 예컨대, 스페이서 등에 실리콘 질화물을 사용하는 것을 최대한 방지할 수 있어 비트 라인들 간에 기생 커패시턴스를 최소화할 수 있는 배선 형성 방법을 제공하는 데 있다.

### 【발명의 구성 및 작용】

- <16>        상기의 기술적 과제들을 달성하기 위한 본 발명의 일 관점은, 서로 다른 절연 물질들로 이루어지는 적어도 3층 이상의 다층의 하드 마스크를 이용하여 배선 및 연결 콘택 구조를 형성하는 방법을 제공한다.
- <17>        상기 방법은 소자의 동작을 위한 배선층을 형성하는 단계와, 상기 배선층 상에 상호 간에 식각 선택비를 가지도록 서로 다른 절연 물질들로 각각 이루어지는 제1하드 마스크, 제2하드 마스크 및 제3하드 마스크를 적어도 포함하는 다층의 하드 마스크를 형성하는 단계와, 상기 하드 마스크를 이용하여 상기 배선층을 패터닝하여 배선을 형성하는 단계, 상기 배선들 간을 채우는 절연층을 형성하는 단계, 및 상기 제2하드 마스크에 의해서 상기 제1하드 마스크가 침해되지 않은 상태에서 상기 배선들에 정렬되며 상기 절연층을 상하로 관통하는 연결 콘택들을 형성하는 단계를 포함하여 구성될 수 있다.
- <18>        또는 상기 방법은, 소자의 동작을 위한 배선층을 형성하는 단계와, 상기 배선층 상에 상호 간에 식각 선택비를 가지도록 서로 다른 절연 물질들로 각각 이루어지는 제1하드 마스크, 제2하드 마스크 및 제3하드 마스크를 적어도 포함하는 다층의 하드 마스크를 형성하는 단계와, 상기 하드 마스크를 이용하여 상기 배선층을 패터닝하여 배선을 형성하는 단계와, 상기 배선들 간을 채우는 절연층을 형성하는 단계와, 상기 배선 상의 상기 제2하드 마스크가 상기 제1하드 마스크가 침해되지 않도록 보호하는 상태에서 상기 배선에 정렬되며 상기 절연층을 상하로 관통하는 오프닝(opening)들을 형성하는 단계와, 상기 오프닝의 측벽에 절연 스페이서를 형성하

는 단계와, 상기 오프닝을 채우는 도전층을 형성하는 단계, 및 상기 도전층을 노드(node) 분리하여 상기 오프닝들을 채우는 연결 콘택들을 형성하는 단계를 포함하여 구성될 수 있다.

<19> 또는 상기 방법은, 제1절연층 상에 비트 라인층을 형성하는 단계와, 상기 비트 라인층 상에 상호 간에 식각 선택비를 가지도록 서로 다른 절연 물질들로 각각 이루어지는 제1하드 마스크, 제2하드 마스크 및 제3하드 마스크를 적어도 포함하는 다층의 하드 마스크를 형성하는 단계와, 상기 제3하드 마스크를 실질적인 식각 마스크로 이용하여 상기 비트 라인층을 패터닝하여 비트 라인들을 형성하는 단계와, 상기 제3하드 마스크 상에 상기 비트 라인들 간의 갭을 채우는 제2절연층을 형성하는 단계와, 상기 비트 라인 상의 상기 제2하드 마스크가 상기 제1하드 마스크가 침해되지 않도록 보호하는 상태에서 상기 비트 라인에 정렬되며 상기 제2절연층 및 제1절연층을 상하로 관통하는 오프닝들을 형성하는 단계와, 상기 오프닝의 측벽에 절연 스페이서를 형성하는 단계와, 상기 오프닝을 채우는 도전층을 형성하는 단계, 및 상기 도전층을 노드(node) 분리하여 상기 오프닝들을 채우는 연결 콘택들을 형성하는 단계를 포함하여 구성될 수 있다.

<20> 여기서, 상기 비트 라인층은 텅스텐층을 포함하여 형성될 수 있고, 상기 비트 라인층 하부에 티타늄/티타늄 질화물층을 포함하는 장벽층이 더 형성될 수 있다.

<21> 상기 하드 마스크를 형성하는 단계는 상기 비트 라인층 상에 제1하드 마스크층, 제2하드 마스크층 및 제3하드 마스크층을 순차적으로 형성하는 단계, 상기 제3하드 마스크층을 패터닝하여 상기 제3하드 마스크를 형성하는 단계, 및 상기 제3하드 마스크를 식각 마스크로 상기 제2 및 제1하드 마스크층들을 패터닝하는 단계를 포함하여 수행될 수 있다.

<22> 이때, 상기 제1하드 마스크층은 상기 제3하드 마스크층에 비해 얇은 두께로 형성될 수 있으며, 상기 제1하드 마스크층은 실리콘 질화물층을 포함하여 형성되고, 상기 제3하드 마스크

층은 실리콘 산화물층을 포함하여 형성될 수 있다. 상기 제2하드 마스크층은 적어도 상기 제2 절연층과 식각 선택비를 가지는 절연 물질, 예컨대, 폴리 실리콘층 또는 티타늄 질화물층을 포함하여 형성될 수 있다.

<23>       상기 오프닝들을 형성하는 단계는 상기 제2절연층 상에 상기 비트 라인을 가로지는 방향으로 길게 바 형태(bar type)로 포토레지스트 패턴을 형성하거나 상기 오프닝이 원형이도록 원형의 노출 부분을 가지는 포토레지스트 패턴을 형성하는 단계, 및 상기 포토레지스트 패턴을 식각 마스크로 노출되는 상기 제2절연층 부분을 선택적으로 식각하는 단계를 포함하여 수행될 수 있다.

<24>       상기 절연 스페이서는 실리콘 산화물을 포함하여 형성될 수 있다.

<25>       상기 도전층은 도전성 폴리 실리콘층을 포함하여 형성될 수 있다.

<26>       상기 연결 콘택들을 형성하는 단계는 상기 제1하드 마스크를 식각 종료층으로 이용하여 상기 제2하드 마스크를 제거하며 상기 도전층을 식각하여 상기 노드 분리를 수행할 수 있다. 이때, 상기 노드 분리를 위한 식각은 스핀 프로세서(spin processor)를 이용하거나 화학 기계적 연마를 이용하여 수행될 수 있다.

<27>       상기 배선층은 비트 라인이고 상기 연결 콘택은 상기 소자와 상기 비트 라인 상측에 형성될 커패시터(capacitor)를 전기적으로 연결하는 커패시터 콘택(capacitor contact)일 수 있다.

<28>       본 발명에 따르면, 비트 라인과 같은 배선을 패터닝한 후 커패시터 콘택과 같은 연결 콘택을 비트 라인들 사이를 지나 하부의 반도체 기판으로 전기적으로 연결되도록 형성할 때, 연결 콘택과 비트 라인 간의 절연 마진을 충분히 확보할 수 있다. 또한, 비트 라인 측면에 도입

되는 스페이서 또는 절연 물질층에 실리콘 질화물이 도입되는 것을 최소화 또는 방지할 수 있어, 비트 라인들 간의 기생 커패시턴스를 최소화할 수 있다.

<29> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<30> 본 발명의 실시예에서는 DRAM 소자에서 채용되는 COB 구조에서와 같이 배선인 비트 라인들 사이로 커패시터 콘택인 연결 콘택이 지나도록 형성되는 구조에서, 비트 라인과 연결 콘택 간의 절연 마진 또는 어깨부 마진을 충분히 확보하기 위해서 비트 라인을 패터닝할 때 다층의 하드 마스크를 이용하는 바를 제시한다. 이러한 다층의 하드 마스크의 사용은 비트 라인을 패터닝한 이후에 진행되는 패터닝된 비트 라인에 정렬(aligned)되어 층간 절연층을 관통하는 콘택홀을 형성할 때, 하드 마스크를 이루는 일부 층들에 대한 침해를 효과적으로 방지하는 이점을 제공한다. 이에 따라, 콘택홀을 형성한 이후에도 비트 라인 상에 요구되는 두께 이상으로 하드 마스크를 잔류시킬 수 있어, 콘택홀을 채울 커패시터 콘택, 즉, BC와 비트 라인 간의 절연 마진을 충분히 유지할 수 있다. 또한, 비트 라인의 측면을 보호할 스페이서로 실리콘 질화물에 비해 낮은 유전율을 가지는 실리콘 산화물을 도입할 수 있다.

- <31> 도 5 내지 도 11은 본 발명의 실시예에 따른 배선 및 연결 콘택 구조를 형성하는 방법을 설명하기 위해서 개략적으로 도시한 평면도들이다.
- <32> 도 12 내지 도 21은 본 발명의 실시예에 따른 배선 및 연결 콘택 구조를 형성할 때 다층의 하드 마스크를 도입하는 바를 설명하기 위해서 개략적으로 도시한 단면도들이다.
- <33> 도 5 내지 도 11 및 도 12 내지 도 21을 참조하여 본 발명을 COB 구조에서 비트 라인 및 BC를 형성하는 과정을 설명하는 실시예를 통해서 설명하지만, 본 발명은 반도체 소자의 배선 및 배선들 간을 아래 위로 지나는 연결 콘택 구조에 적용될 수 있다.
- <34> 도 5를 참조하면, 먼저, 반도체 기판 상에 트랜지스터 등과 같은 소자가 형성될 활성 영역(110)을 설정하는 소자 분리 영역(150)을 알려진 소자 분리 공정 과정들로 형성한다.
- <35> 도 6을 참조하면, 활성 영역(110)을 가로지르는 게이트 라인(gate line:200)을 알려진 게이트 공정을 이용하여 형성한다. 이때, 게이트 라인(200)은 트랜지스터의 게이트 역할을 하는 워드 라인으로 도전층으로 이루어지며, 게이트 라인(200)은 게이트 산화막(gate oxide), 게이트 스페이서(gate spacer) 및 게이트 캐핑층(gate capping layer)으로 감싸진 형태로 구성될 수 있다. 이러한 게이트 스페이서 및 게이트 캐핑층의 도입은 후속되는 콘택 공정에 자기 정렬 콘택(SAC:Self Aligned Contact) 과정을 도입하는 유리하다. 이러한 게이트 라인(200)은 반도체 소자의 디자인 룰의 축소에 대응하기 위해서 텅스텐 등과 같은 저항이 낮은 도전 물질로 형성되는 것이 바람직하다.
- <36> 도 7을 도 12와 함께 참조하면, 게이트 라인(200)을 덮는 제1절연층(도 12의 810)을 형성하고, 제1절연층(810)을 관통하여 활성 영역(110)의 반도체 기판 부위를 각각 노출하는 도전성 콘택 패드들(310, 350)들을 형성한다. 이러한 콘택 패드들(310, 350)을 SAC 과정을 도입하

여 콘택홀을 형성하고, 콘택홀을 채우는 도전 물질, 예컨대, 도전성 폴리 실리콘(poly silicon)을 증착하여 형성된다. 이러한 도전성 콘택 패드들(310, 350)은 반도체 소자의 디자인 룰의 심각하게 축소되는 경향에 대응하여 공정 마진을 보다 확보하는 데 도움이 된다. 도전성 콘택 패드들(310, 350)은, DRAM 소자에서, 비트 라인에 전기적으로 연결될 제1콘택 패드(310)와 커패시터에 전기적으로 연결될 제2콘택 패드(350)로 구분될 수 있다.

<37> 도 8을 도 12와 함께 참조하면, 콘택 패드들(310, 350)을 덮는 제2절연층(850)을 바람직하게 실리콘 산화물을 포함하여 형성한 후, 제1콘택 패드(310)를 노출하는 콘택홀을 형성한 후 도전 물질층을 형성하여 비트 라인 콘택(410)을 형성한다. 비트 라인 콘택(410)은 일종의 연결 콘택으로 제1콘택 패드(310)를 통해 반도체 기판의 활성 영역(110)과 비트 라인을 전기적으로 연결시키는 역할을 한다. 즉, 비트 라인 콘택(410)은 DC로 역할한다.

<38> 도 9를 참조하면, 비트 라인 콘택(410)에 전기적으로 연결되는 비트 라인을 포함하는 비트 라인 스택(bit line stack:500)을 형성한다. 이러한 비트 라인 스택(500)을 형성하는 과정을 도 12 내지 도 16을 참조하여 보다 상세하게 설명한다.

<39> 도 12를 참조하면, 제2절연층(850) 상에 장벽층(510)으로 바람직하게 티타늄/티타늄 질화물층(Ti/TiN layer)을 형성하고, 그 상에 비트 라인층(530)을 텅스텐(W)층을 형성한다. 이후에, 비트 라인으로의 패터닝을 위한 마스크를 위해서, 다층의 하드 마스크층(550, 570, 590)을 형성한다. 예를 들어, 하드 마스크층은 서로 다른 절연 물질로 이루어지는 제1, 제2 및 제3하드 마스크층(550, 570, 590)의 삼중층으로 구성될 수 있다.

<40> 제1하드 마스크층(550)은 패터닝된 비트 라인들 사이를 메울 제3절연층을 바람직하게 이루는 실리콘 산화물과 충분한 식각 선택비를 가지는 절연 물질, 예컨대, 실리콘 질화물로 형성될 수 있다.

- <41> 제1하드 마스크층(550) 상에 증착되는 제2하드 마스크층(570)은 제1하드 마스크층(550)을 보호하는 역할을 하며, 특히, 제3절연층을 바람직하게 이루는 실리콘 산화물과 매우 높은 식각 선택비를 구현할 수 있는 절연 물질, 또한, 이러한 제2하드 마스크층(570)은 또한 제1하드 마스크층(550)과 충분한 식각 선택비를 구현할 수 있는 절연 물질, 예컨대, 폴리 실리콘을 포함하여 구성될 수 있다. 또는, 제2하드 마스크층(550)은 실리콘 산화물과 매우 높은 식각 선택비를 구현할 수 있는 티타늄 질화물(TiN)로 구성될 수 있다.
- <42> 이후에, 제2하드 마스크층(550)을 비트 라인층(530)을 패터닝하는 과정 중에 보호하며 비트 라인층(530)을 패터닝하는 과정에서 실질적인 식각 마스크로 이용될 제3하드 마스크층(590)을 형성한다. 제3하드 마스크층(590)은 비트 라인층(530)을 이루는 금속 물질, 예컨대, 텅스텐과 매우 높은 식각 선택비를 구현하는 절연 물질, 예컨대, 실리콘 산화물로 이루어진다.
- <43> 제3하드 마스크층(590)은 비트 라인층(530)을 패터닝하는 과정에서 하부의 제2하드 마스크층(570)이 침해되지 않도록 충분히 보호하도록 충분한 두께, 예컨대, 대략 2000Å 내지 2500Å 정도로 형성될 수 있다. 제2하드 마스크층(570)은 제3절연층을 식각하여 하부의 제2콘택(350)을 노출하는 과정 중에 제1하드 마스크층(550)이 침해되지 않도록 보호하도록 충분한 두께, 예컨대, 폴리 실리콘인 경우 대략 1000Å 정도로 형성될 수 있다. 제1하드 마스크층(550)은 실리콘 질화물인 경우 BC와 비트 라인 간의 충분한 절연 마진을 구현할 수 있는 두께, 예컨대, 대략 1500Å 내지 2000Å 정도로 형성될 수 있다.
- <44> 상술한 바와 같이 하드 마스크층(550, 570, 590)을 다중층으로 형성한 후, 그 상에 하드 마스크로 패터닝하기 위해 포토(photo) 공정을 이용하여 포토레지스트 패턴(910)을 형성한다.

- <45> 도 13을 참조하면, 제1포토리지스트 패턴(도 12의 910)을 식각 마스크로 이용하여 제3하드 마스크층(도 12의 590)을 건식 식각으로 패터닝하여 제3하드 마스크(591)를 형성한다. 이후에, 포토리지스트 패턴(910)을 필요에 따라 제거한다.
- <46> 도 14를 참조하면, 제3하드 마스크(591)를 식각 마스크로 제2하드 마스크층(도 13의 570)을 건식 식각으로 패터닝하여 제2하드 마스크(571)를 형성한다. 제3하드 마스크(591)를 이루는 실리콘 산화물과 제2하드 마스크층(570)을 이루는 폴리 실리콘 또는 티타늄 질화물은 충분한 식각 선택비를 구현할 수 있으므로, 제3하드 마스크(591)를 이루는 실리콘 산화물의 심각한 소모(loss)없이 제2하드 마스크(571)를 패터닝할 수 있다.
- <47> 도 15를 참조하면, 제3하드 마스크(도 14의 591)를 식각 마스크로 제1하드 마스크층(도 14의 550)을 건식 식각으로 패터닝하여 제1하드 마스크(551)를 형성한다. 제3하드 마스크(591)를 바람직하게 이루는 실리콘 산화물은 제1하드 마스크층(550)을 바람직하게 이루는 실리콘 질화물과 다소 취약한 식각 선택비를 나타낸다. 따라서, 제3하드 마스크(591)는 상당량 소모되게 된다. 그럼에도 불구하고, 제1하드 마스크(591)가 2000Å 내지 2500Å 정도로 두껍게 형성되었으므로, 제1하드 마스크층(550)이 제1하드 마스크(551)로 패터닝이 완료될 때까지 제3하드 마스크(591)가 잔류하도록 유도하는 것이 바람직하다. 즉, 잔류하는 제3하드 마스크(591')가 제2하드 마스크(571) 상에 충분한 두께로 잔류되도록 하는 것이 바람직하다. 이는 제3하드 마스크층(도 12의 590)의 두께를 조절함으로써 가능하다.
- <48> 도 16을 참조하면, 제3하드 마스크(591')를 식각 마스크로 이용하여 비트 라인층(도 15의 530)을 건식 식각으로 패터닝하여 비트 라인(531)을 형성한다. 이때, 비트 라인(531) 아래의 장벽층(511) 또한 패터닝되도록 다소의 과도 식각을 수행한다. 이에 따라, 하부의 제2절연층(850) 또한 일부 리세스(recess)될 수 있다. 비트 라인층(530)으로 이용된 텅스텐과 같은 금



속층은 제3하드 마스크(591')는 실리콘 산화물과 충분히 높은 식각 선택비를 구현하며 선택적으로 식각될 수 있다. 이에 따라, 제3하드 마스크(591')의 소모가 거의 없이 비트 라인(531)을 패터닝할 수 있게 된다.

<49> 도 12 내지 도 16을 참조하여 설명한 바와 같이 하드 마스크(551, 571, 591')을 이용하여 비트 라인(531)을 패터닝할 때, 제1하드 마스크(551)로 이용된 실리콘 질화물층의 소모를 최대한 방지할 수 있다. 이에 따라, 후속되는 BC와 비트 라인(531) 간의 절연 마진 또는 어깨 부 마진을 충분히 구현할 수 있다.

<50> 한편, 이제까지 도 12 내지 도 16을 참조하여 설명한 과정들에서, 각각의 건식 식각 과정들 사이사이에는 필요할 경우 각종 세정 방법을 사용하여 폴리머(polymer)와 같은 부산물(by product) 및 결함(defect)들을 제거할 수 있다.

<51> 도 17을 도 10과 함께 참조하면, 바트 라인 스택(500)을 패터닝한 후, 제3하드 마스크(591') 상에 비트 라인 스택(500)을 덮는 제3절연층(870)을 형성한다. 제3절연층(870)은 비트 라인 스택(500)들 간의 갭(gap)을 충분히 채우도록 형성되며, 실리콘 산화물을 포함하여 바람직하게 형성된다. 이러한 제3절연층(870)은 형성된 후 상측 표면을 평탄화하는 평탄화 공정을 수행받을 수 있다.

<52> 이후에, 제3절연층(870) 상에 포토 공정을 수행하여 제2포토리지스트 패턴(950)을 형성한다. 이러한 제2포토리지스트 패턴(950)은 제2절연층(850) 하부에 존재하는 반도체 기판의 활성 영역(110), 실질적으로는 도 17에 제시된 바와 같은 제2콘택 패드(350)를 노출시키는 식각 과정에서 식각 마스크로 이용되도록 형성된다. 예를 들어, 도 10에 제시된 바와 같이 게이트 라인(도 8의 200)이 종주하는 방향으로 종주하는 라인 형태(line type) 또는 바 형태(bar type)로 제2포토리지스트 패턴(950)은 형성된다. 이러한 제2포토리지스트 패턴(950)은 제2콘택

패드(350)와 겹쳐지는 부분을 노출하도록 형성된다. 이러한 제2포토리소그래피 패턴(950)은 상기한 바와 같은 라인 형태로 형성되지 않고, 전형적인 콘택홀을 형성하는 과정에서 채워지는 포토리소그래피 패턴으로 패터닝될 수도 있다.

<53> 도 18을 도 10과 함께 참조하면, 제2포토리소그래피 패턴(950)을 식각 마스크로 이용하여 노출된 제3절연층(870) 부분을 선택적으로 식각하여 제거한다. 또한, 제3절연층(870) 부분의 제거에 따라 노출되는 제2절연층(850) 부분 또한 선택적으로 계속 식각하여 제2콘택 패드(350)의 상측 표면을 노출시키는 오프닝(opening:871)을 형성한다. 제3절연층(870) 및 제2절연층(850)은 바람직하게 실리콘 산화물로 이루어졌으므로 실리콘 산화물에 대한 식각 조건으로 식각이 수행된다. 이때, 식각 과정에 노출되는 제3하드 마스크(591') 부분 또한 실리콘 산화물이므로 또한 선택적으로 제거되어 제2하드 마스크(571)가 노출된다. 제2하드 마스크(571)는 폴리 실리콘 또는 티타늄 질화물로 형성되었으므로, 실리콘 산화물과는 매우 높은 식각 선택비를 가지므로 실질적으로 이러한 식각에 의해서 소모되지 않고 잔류하게 된다. 이러한 제2하드 마스크(571)에 의해서 이러한 오프닝(871) 형성 과정에서 제1하드 마스크(551)의 실리콘 질화물이 소모되는 것이 효과적으로 방지된다. 따라서, 도 4에 제시된 바와 같은 실리콘 질화물이 소모되어 절연 마진 또는 어깨부 마진(39)이 협소해지는 것을 방지할 수 있다.

<54> 도 19를 도 10과 함께 참조하면, 오프닝(871)을 형성한 후, 오프닝(871)의 측벽에 절연 스페이서(555)를 형성한다. 이러한 절연 스페이서(555)는 비트 라인(531)의 측면과 이후에 오프닝(871)을 채울 커패시터 콘택, 즉, BC와의 절연을 위해서 도입된다. 이러한 절연 스페이서(555)는 실리콘 질화물 또는 실리콘 산화물로 형성될 수 있으나, 기생 커패시턴스의 감소를 고려할 때 상대적으로 유전율이 낮은 실리콘 산화물로 형성되는 것이 바람직하다.

- <55> 도 20을 도 10과 함께 참조하면, 오프닝(도 19의 871)을 채우는 BC와 같은 콘택 형성을 위한 도전층(700)을 형성한다. 이러한 도전층(700)은 도전성 폴리 실리콘과 같은 도전성 물질로 형성될 수 있다. 이러한 도전층(700)을 형성하기 이전에, 오프닝(871)에 의해서 노출되는 폴리 실리콘으로 바람직하게 이루어진 제2콘택 패드(310)의 표면에 존재할 수 있는 자연 산화막(native oxide layer:도시되지 않음) 및 이물질 등을 제거하기 위한 세정 단계를 알려진 방법으로 수행할 수 있다.
- <56> 도 21을 도 11과 함께 참조하면, 도전층(700)을 각각의 커패시터 콘택(750), 즉, BC들로 노드(node) 분리하는 한다. 도전층(700)을 습식 식각하거나 화학 기계적 연마(CMP:Chemical Mechanical Polishing)를 이용하여 일부 제거하여 오프닝(871)별로 분리하여 커패시터 콘택(750)을 형성한다. 습식 식각은 스피ن 프로세서(spin processor)를 이용하거나 식각 화학액에 담그는 방법 등으로 수행될 수 있다. 또한, 이러한 노드 분리는 건식 식각 방법으로 수행될 수도 있다. 더하여, 이러한 습식 식각, 건식 식각 또는 CMP를 조합하여 사용하여 노드 분리를 수행할 수 있다.
- <57> 이러한 노드 분리 시에 제2하드 마스크(571)를 이루는 폴리 실리콘 또한 함께 제거될 수 있다. 또한, 제2하드 마스크(571)를 이룰 수 있는 티타늄 질화물 또한 폴리 실리콘과 거의 비슷한 식각 선택비를 가지므로 함께 제거될 수 있다.
- <58> 이러한 도전층(700)의 식각 과정, 즉, 노드 분리 과정 및 제2하드 마스크(571)를 선택적으로 제거하는 과정은 제1하드 마스크(551)를 이루는 실리콘 질화물 상에서 식각 종료(etch stop)된다. 실리콘 질화물은 폴리 실리콘 등과 식각 선택비를 충분히 구현할 수 있으므로, 이러한 식각 종료가 가능하다. 이러한 식각 종료에 의해서 커패시터 콘택(750)은 제1하드

마스크(551)에 비해 약간 낮은 표면 높이를 가지게 된다. 그리고, 비트 라인(531) 상의 제1하드 마스크(551)의 상측 표면은 이러한 노드 분리 과정에 의해서 노출되게 된다.

<59> 결론적으로, 커패시터 콘택(750)은 결국 도 11에 제시된 바와 같이 게이트 라인(200)이 종주하는 방향으로 제3절연층(870), 제2절연층(850) 등에 의해서 상호 간에 분리되고, 비트 라인(531)이 종주하는 방향으로 비트 라인(531)을 감싸고 있는 절연 스페이서(555) 및 제1하드 마스크(551)에 의해서 상호 간에 분리되게 된다.

<60> 이후에, 커패시터 콘택(750) 상에 커패시터의 스토리지 전극(storage node) 등을 형성하는 커패시터 공정을 수행하여 커패시터 콘택(750) 및 제2콘택 패드(350)에 의해서 반도체 기판의 활성 영역(110)에 전기적으로 연결되는 커패시터를 형성한다.

<61> 한편, 도 16을 참조하여 설명한 바와 같이 하드 마스크(551, 571, 591')를 이용하여 비트 라인(531)을 패터닝한 후에, 비트 라인(531)의 측벽에 필요에 따라 비트 라인 스페이서를 형성할 수 있다.

<62> 도 22는 비트 라인(531)을 패터닝한 후 비트 라인 스페이서(556)를 도입하는 경우를 설명하기 위해서 개략적으로 도시한 단면도이다.

<63> 도 22를 참조하면, 실리콘 질화물과 같은 절연 물질을 대략 수십Å 내지 100Å 정도의 두께로 비트 라인(531)의 측벽을 보호하는 보호층(도시되지 않음)을 도입할 수도 있다. 또한, 보호층 형성 후 에치 백(etch back)을 수행하여 비트 라인 스페이서(556)를 형성할 수도 있다. 이러한 보호층 또는 비트 라인 스페이서(556)는 오프닝(도 18의 871)을 형성한 이후에 오프닝(871)에 의해서 노출된 부위가 제거될 수도 있다.

<64> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

**【발명의 효과】**

<65> 상술한 본 발명에 따르면, 다층의 하드 마스크를 이용하여 비트 라인을 형성하고 이후 게이트 라인과 같은 방향으로 라인 형태의 BC를 형성하여 BC 노드를 분리할 경우에, 비트 라인과 BC 간의 어깨부 취약점을 극복할 수 있고, 또한, 이와 같은 구조에서는 유전율이 낮은 실리콘 산화물을 스페이서로 사용할 수 있어서 기생 커패시턴스를 낮출 수 있다.

**【특허청구범위】****【청구항 1】**

소자의 동작을 위한 배선층을 형성하는 단계;

상기 배선층 상에 상호 간에 식각 선택비를 가지도록 서로 다른 절연 물질들로 각각 이루어지는 제1하드 마스크, 제2하드 마스크 및 제3하드 마스크를 적어도 포함하는 다층의 하드 마스크를 형성하는 단계;

상기 하드 마스크를 이용하여 상기 배선층을 패터닝하여 배선을 형성하는 단계;

상기 배선들 간을 채우는 절연층을 형성하는 단계; 및

상기 제2하드 마스크에 의해서 상기 제1하드 마스크가 침해되지 않은 상태에서 상기 배선들에 정렬되며 상기 절연층을 상하로 관통하는 연결 콘택들을 형성하는 단계를 포함하는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

**【청구항 2】**

제1항에 있어서,

상기 배선층은 비트 라인(bit line)이고 상기 연결 콘택은 상기 소자와 상기 비트 라인 상측에 형성될 커패시터(capacitor)를 전기적으로 연결하는 커패시터 콘택(capacitor contact)인 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

**【청구항 3】**

제1항에 있어서,

상기 제2하드 마스크층은 적어도 상기 절연층과 식각 선택비를 가지는 절연 물질을 포함하여 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

## 【청구항 4】

소자의 동작을 위한 배선층을 형성하는 단계;

상기 배선층 상에 상호 간에 식각 선택비를 가지도록 서로 다른 절연 물질들로 각각 이루어지는 제1하드 마스크, 제2하드 마스크 및 제3하드 마스크를 적어도 포함하는 다층의 하드 마스크를 형성하는 단계;

상기 하드 마스크를 이용하여 상기 배선층을 패터닝하여 배선을 형성하는 단계;

상기 배선들 간을 채우는 절연층을 형성하는 단계;

상기 배선 상의 상기 제2하드 마스크가 상기 제1하드 마스크가 침해되지 않도록 보호하는 상태에서 상기 배선에 정렬되며 상기 절연층을 상하로 관통하는 오프닝(opening)들을 형성하는 단계;

상기 오프닝의 측벽에 절연 스페이서를 형성하는 단계;

상기 오프닝을 채우는 도전층을 형성하는 단계; 및

상기 도전층을 노드(node) 분리하여 상기 오프닝들을 채우는 연결 콘택들을 형성하는 단계를 포함하는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

## 【청구항 5】

제4항에 있어서,

상기 제2하드 마스크층은 적어도 상기 절연층과 식각 선택비를 가지는 절연 물질을 포함하여 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

## 【청구항 6】

제1절연층 상에 비트 라인층을 형성하는 단계;

상기 비트 라인층 상에 상호 간에 식각 선택비를 가지도록 서로 다른 절연 물질들로 각각 이루어지는 제1하드 마스크, 제2하드 마스크 및 제3하드 마스크를 적어도 포함하는 다층의 하드 마스크를 형성하는 단계;

상기 제3하드 마스크를 실질적인 식각 마스크로 이용하여 상기 비트 라인층을 패터닝하여 비트 라인들을 형성하는 단계;

상기 제3하드 마스크 상에 상기 비트 라인들 간의 갭을 채우는 제2절연층을 형성하는 단계;

상기 비트 라인 상의 상기 제2하드 마스크가 상기 제1하드 마스크가 침해되지 않도록 보호하는 상태에서 상기 비트 라인에 정렬되며 상기 제2절연층 및 제1절연층을 상하로 관통하는 오프닝들을 형성하는 단계;

상기 오프닝의 측벽에 절연 스페이서를 형성하는 단계;

상기 오프닝을 채우는 도전층을 형성하는 단계; 및

상기 도전층을 노드(node) 분리하여 상기 오프닝들을 채우는 연결 콘택들을 형성하는 단계를 포함하는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

#### 【청구항 7】

제6항에 있어서,

상기 비트 라인층은 텅스텐층을 포함하여 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.



**【청구항 8】**

제6항에 있어서,

상기 비트 라인층 하부에 티타늄/티타늄 질화물층을 포함하는 장벽층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

**【청구항 9】**

제6항에 있어서, 상기 하드 마스크를 형성하는 단계는

상기 비트 라인층 상에 제1하드 마스크층, 제2하드 마스크층 및 제3하드 마스크층을 순차적으로 형성하는 단계;

상기 제3하드 마스크층을 패터닝하여 상기 제3하드 마스크를 형성하는 단계; 및

상기 제3하드 마스크를 식각 마스크로 상기 제2 및 제1하드 마스크층들을 패터닝하는 단계를 포함하는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

**【청구항 10】**

제6항에 있어서,

상기 제1하드 마스크층은 상기 제3하드 마스크층에 비해 얇은 두께로 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

**【청구항 11】**

제10항에 있어서,

상기 제1하드 마스크층은 실리콘 질화물층을 포함하여 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

## 【청구항 12】

제10항에 있어서,

상기 제3하드 마스크층은 실리콘 산화물층을 포함하여 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

## 【청구항 13】

제6항에 있어서,

상기 제2하드 마스크층은 적어도 상기 제2절연층과 식각 선택비를 가지는 절연 물질을 포함하여 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

## 【청구항 14】

제13항에 있어서,

상기 제2하드 마스크층은 폴리 실리콘층 또는 티타늄 질화물층을 포함하여 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

## 【청구항 15】

제6항에 있어서, 상기 오프닝들을 형성하는 단계는

상기 제2절연층 상에 상기 비트 라인을 가로지는 방향으로 길게 바 형태(bar type)로 포토레지스트 패턴을 형성하거나 상기 오프닝이 원형이도록 원형의 노출 부분을 가지는 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 식각 마스크로 노출되는 상기 제2절연층 부분을 선택적으로 식각하는 단계를 포함하는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

**【청구항 16】**

제6항에 있어서,

상기 절연 스페이서는 실리콘 산화물을 포함하여 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

**【청구항 17】**

제6항에 있어서,

상기 도전층은 도전성 폴리 실리콘층을 포함하여 형성되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

**【청구항 18】**

제6항에 있어서, 상기 연결 콘택들을 형성하는 단계는

상기 제1하드 마스크를 식각 종료층으로 이용하여 상기 제2하드 마스크를 제거하며 상기 도전층을 식각하여 상기 노드 분리를 수행하는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

**【청구항 19】**

제18항에 있어서,

상기 노드 분리를 위한 식각은 스피ن 프로세서를 이용하거나 화학 기계적 연마를 이용하여 수행되는 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

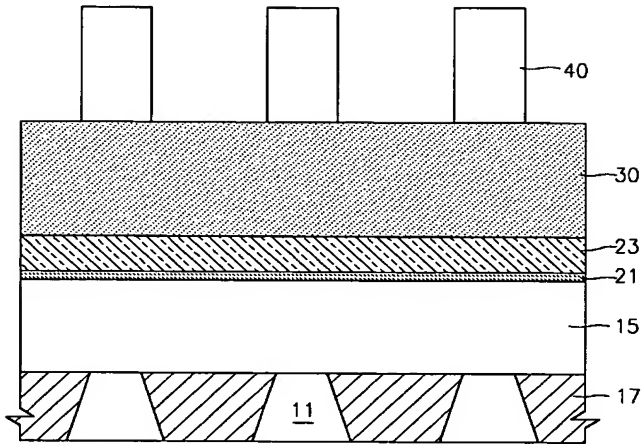
【청구항 20】

제6항에 있어서,

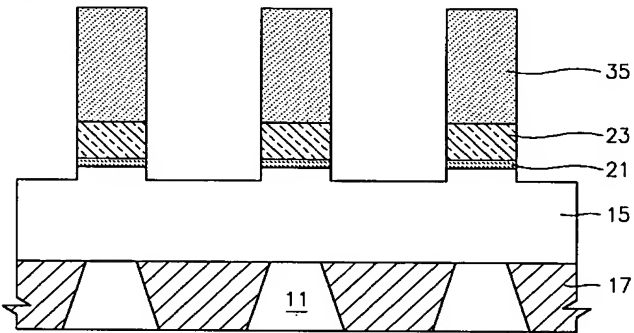
상기 연결 콘택은 상기 비트 라인 상측에 형성될 커패시터(capacitor)에 전기적으로 연결되는 커패시터 콘택인 것을 특징으로 하는 배선 및 연결 콘택 구조를 형성하는 방법.

【도면】

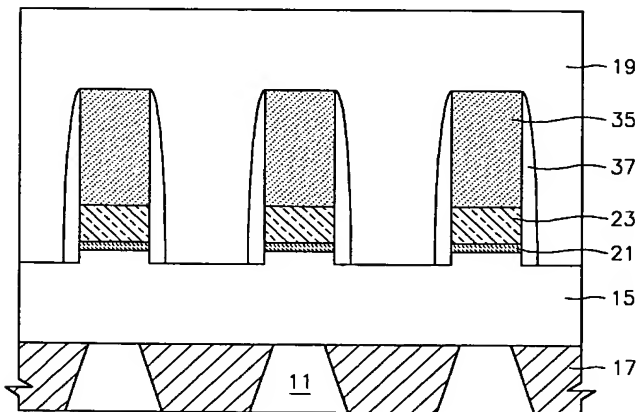
【도 1】



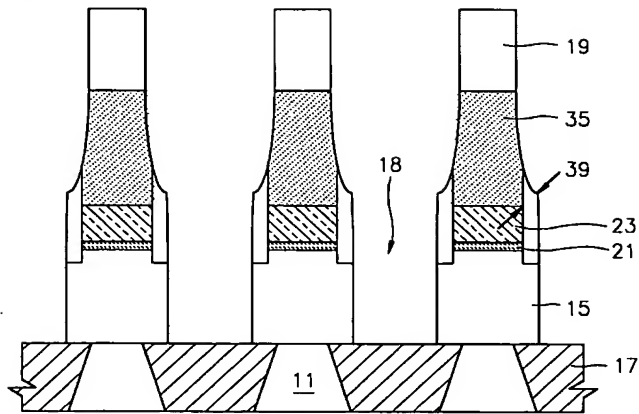
【도 2】



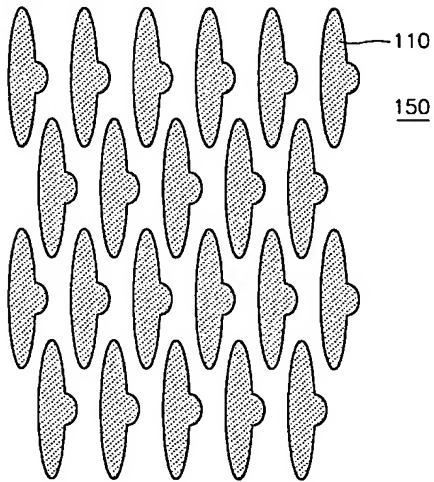
【도 3】



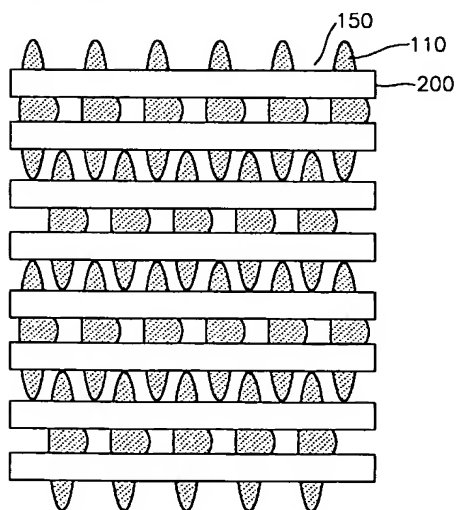
【도 4】



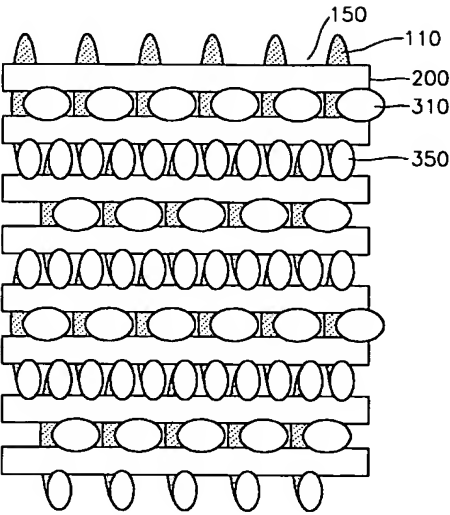
【도 5】



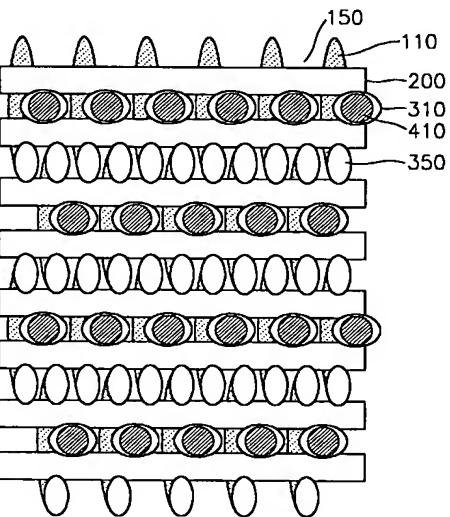
【도 6】



【도 7】

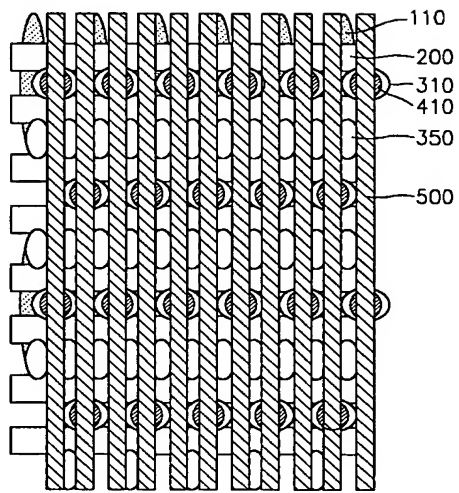


【도 8】

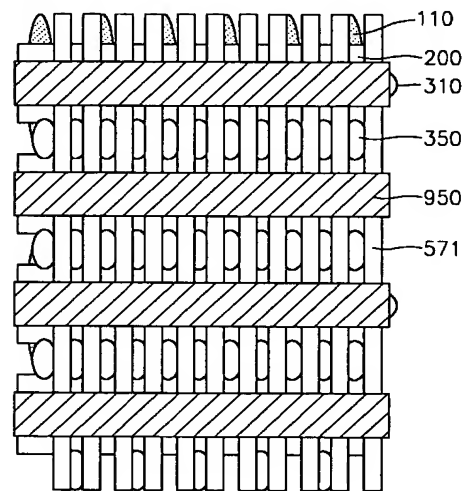




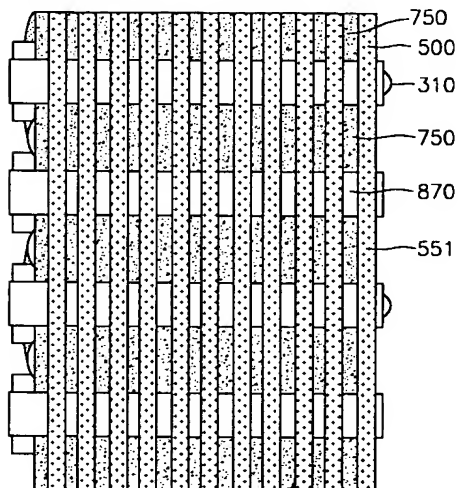
【도 9】



【도 10】

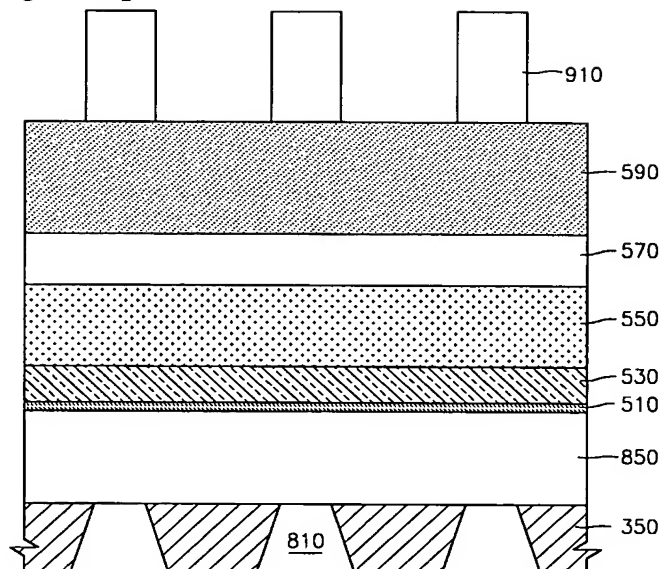


【도 11】

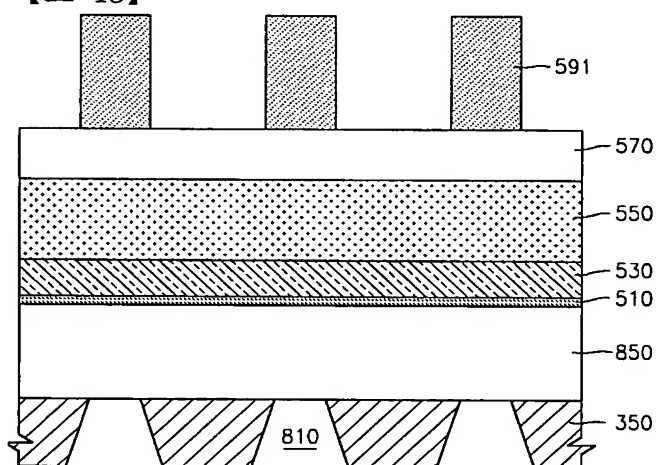




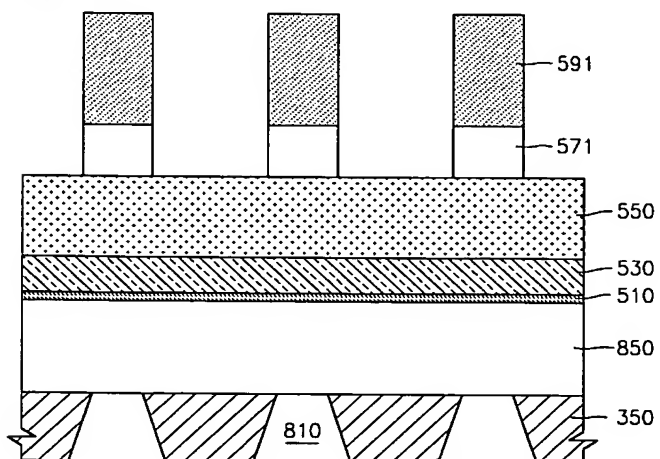
【도 12】



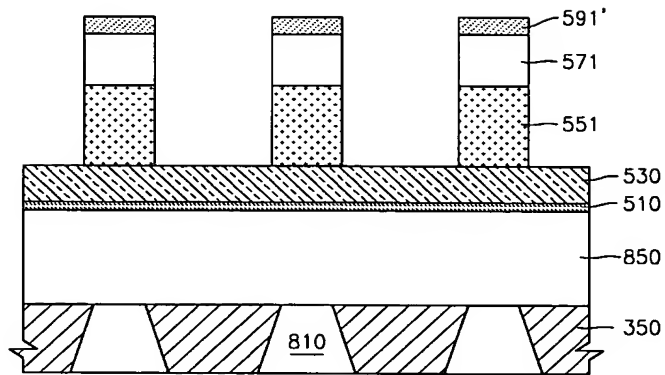
【도 13】



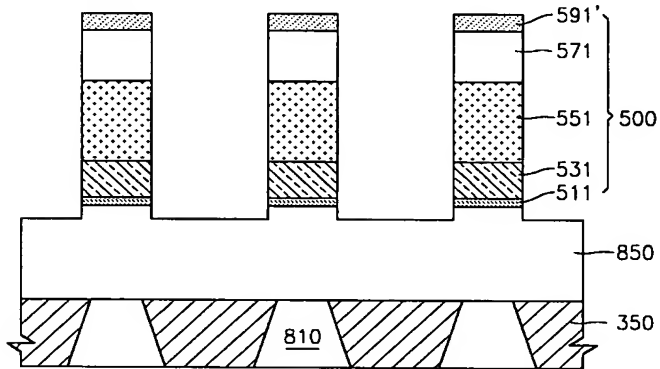
【도 14】



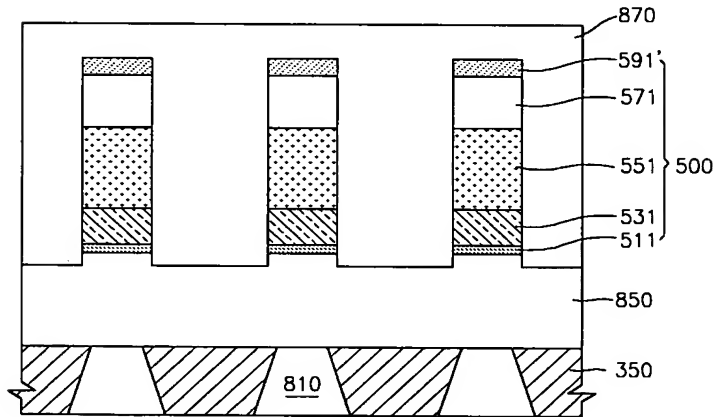
【도 15】



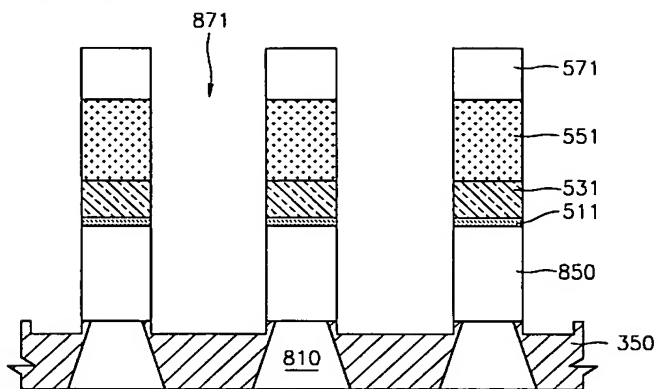
【도 16】



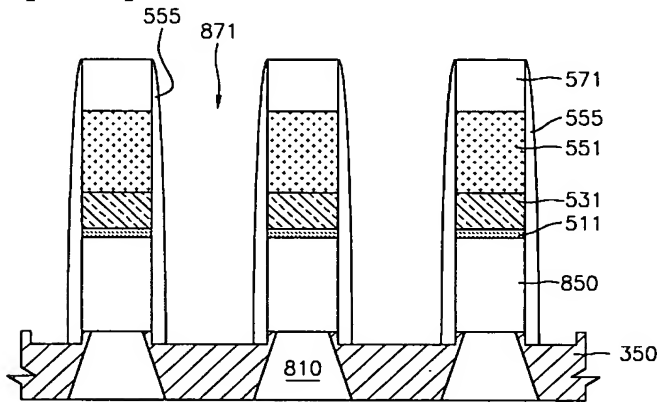
【도 17】



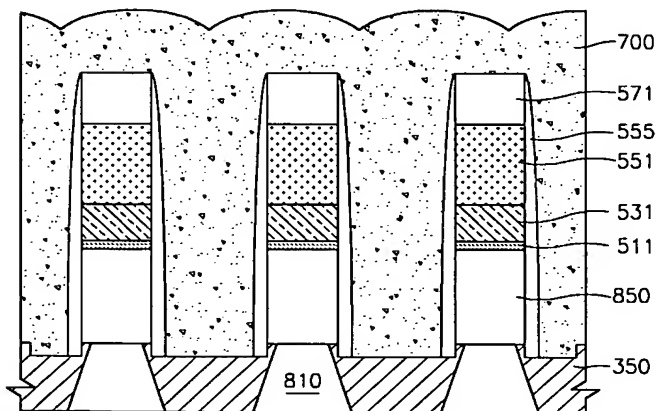
【도 18】



【도 19】

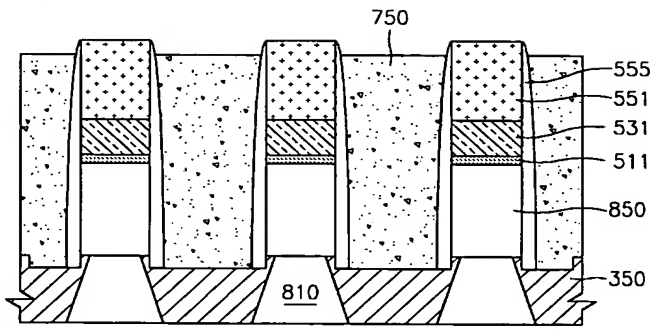


【도 20】





【도 21】



【도 22】

